

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-297811

(43)Date of publication of application : 29.10.1999

(51)Int.Cl.

H01L 21/76

(21)Application number : 10-301037

(71)Applicant : INTERNATL BUSINESS MACH
CORP <IBM>
TOSHIBA CORP

(22)Date of filing : 22.10.1998

(72)Inventor : AKATSU HIROYUKI
NADAHARA SOICHI
NAKAO TAKASHI
YOSHIDA KIYOKO

(30)Priority

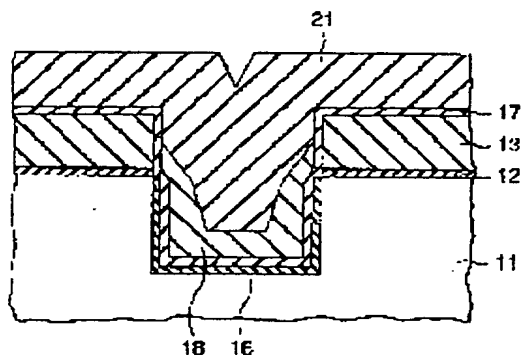
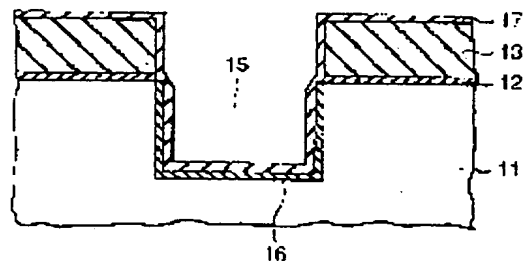
Priority number : 98 52152 Priority date : 31.03.1998 Priority country : US

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent a joint and pores from being generated in an insulating film within a trench when the insulating film is buried in the trench.

SOLUTION: A semiconductor device is constituted into such a structure that a trench 5 is formed in a single crystal Si semiconductor substrate 11, a tetraethyl orthosilicate (TEOS) film 18 of the first time is deposited within this trench and after the TEOS film 18 of the first time is etched back by a wet etching method, a TEOS film 21 of the second time is deposited within the trench 15. When the TEOS film 18 is etched back, it is desirable that the etchback is performed so that the etching rate of the film 18 is increased in the upper part of the trench 15 in comparison with the bottom of the trench 15.



LEGAL STATUS

[Date of request for examination]

25.07.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-297811

(43) 公開日 平成11年(1999)10月29日

(51) IntCl.⁸

H 0 1 L 21/76

識別記号

F I

H 0 1 L 21/76

L

審査請求 未請求 請求項の数 5 O L (全 11 頁)

(21) 出願番号 特願平10-301037

(22) 出願日 平成10年(1998)10月22日

(31) 優先権主張番号 0 5 2 1 5 2

(32) 優先日 1998年3月31日

(33) 優先権主張国 米国 (U S)

(71) 出願人 390009531

インターナショナル・ビジネス・マシーンズ・コーポレーション

INTERNATIONAL BUSINESS MACHINES CORPORATION

アメリカ合衆国10504、ニューヨーク州

アーモンク (番地なし)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(74) 代理人 弁理士 鈴江 武彦 (外3名)

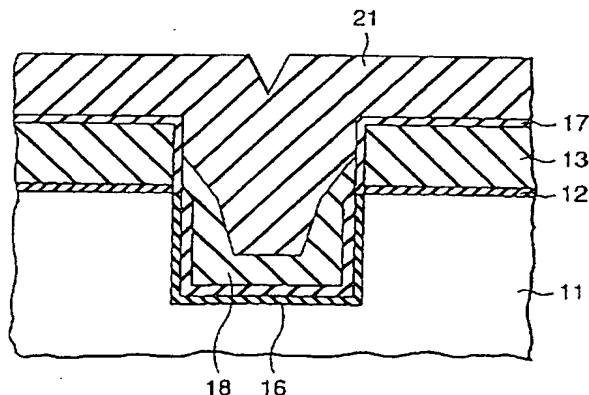
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 トレンチ内に絶縁膜を埋め込む際に、トレンチ内の絶縁膜に継ぎ目や空孔が発生しないようにする。

【解決手段】 トレンチ15を形成し、このトレンチ内に1回目のTEOS膜18を堆積し、ウェットエッチング法により1回目のTEOS膜18をエッチバックした後、トレンチ15内に2回目のTEOS膜21を堆積することを特徴としている。



【特許請求の範囲】

【請求項 1】 半導体基板にトレンチを形成する工程と、

上記トレンチ内に絶縁膜を堆積する工程と、
ウェットエッチング法により上記絶縁膜をエッチバックする工程と、
上記トレンチ内に上記絶縁膜と同一材料からなる絶縁膜を堆積する工程とを具備したことを特徴とする半導体装置の製造方法。

【請求項 2】 前記絶縁膜をエッチバックする際に、前記トレンチの底部に比べてトレンチの上部で前記絶縁膜のエッチングレートが大きくなるように行うことを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 前記トレンチ内に前記絶縁膜と同一材料からなる絶縁膜を堆積する際に前記絶縁膜で前記トレンチを完全に埋め込むことを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 4】 半導体基板に第 1 のトレンチを形成してトレンチ型キャパシタを形成する工程と、

上記半導体基板に上記第 1 のトレンチよりも浅い素子分離用の第 2 のトレンチを形成する工程と、

上記第 2 のトレンチ内を含む全面に上記第 2 のトレンチを埋め込まないように絶縁膜を堆積する工程と、
ウェットエッチング法により上記絶縁膜をエッチバックする工程と、

全面に上記絶縁膜と同一材料からなる絶縁膜を堆積して上記第 2 のトレンチを完全に埋める工程と、

上記トレンチ型キャパシタに接続されたトランスファゲートを形成する工程とを具備したことを特徴とする半導体記憶装置の製造方法。

【請求項 5】 前記絶縁膜をエッチバックする際に、前記第 2 のトレンチの底部に比べて第 2 のトレンチの上部で前記絶縁膜のエッチングレートが大きくなるように行うことを特徴とする請求項 4 に記載の半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明はトレンチによる素子分離を行う半導体装置の製造方法に係り、特にトレンチ内部に継ぎ目のない絶縁膜を形成するような半導体装置の製造方法に関する。

【0002】

【従来の技術】半導体記憶装置の一種である DRAM のメモリセルはキャパシタとトランスファゲートとから構成されている。各メモリセルは STI (Shallow Trench Isolation) と称される、絶縁膜で埋められた浅いトレンチ (Shallow Trench、以下、シャロートレンチと称する) を持つ構造によって互いに分離されている。

【0003】この DRAM において、素子の集積度がそれ程高くなく、シャロートレンチの間口が比較的狭くな

い場合にはトレンチ内部を絶縁膜で完全に埋め込むことができた。

【0004】しかし、素子の微細化が進む現在、シャロートレンチの間口が小さくなり、トレンチ内部を絶縁膜で完全に埋め込むことが困難になってきた。

【0005】図 24 は従来方法によってシャロートレンチ内部を絶縁膜で埋め込んだ後の状態を示す断面図である。Si 半導体基板 81 上にパッド酸化膜 82 が形成され、さらにその上にパッド窒化膜 83 が形成される。素子分離領域に対応した位置に窓が設けられた図示しないマスクが上記パッド窒化膜 83 上に形成され、このマスクを用いた RIE により基板 81 にシャロートレンチ 84 が形成される。

【0006】その後、このシャロートレンチ 84 の内壁に、RIE によるダメージを除去するための STI 酸化膜 85 が形成され、さらにシャロートレンチ内壁を保護するために全面にライナー窒化膜 86 が形成される。続いて TEOS (Tetraethyl orthosilicate) を堆積してシャロートレンチ 84 を絶縁膜 87 で埋める。

【0007】TEOS の堆積時に、シャロートレンチ 84 の間口が小さいと、絶縁膜 87 の界面にシーム (継ぎ目) 88 や内部に空孔 89 が形成されてしまう。このようなシームや空孔が存在すると、この後に行われるフッ酸やフッ化アンモニウム等のウェットエッチングプロセスにおいて、シーム領域からエッチングが進行したり、エッチングにより空孔が露出し、形状異常が引き起こされたり、表面の平坦性が悪化する原因となる。

【0008】また、これらは引き続きポリシリコン等の堆積により埋められ、埋め込まれたポリシリコン等はその後の CMP や RIE プロセスでも除去されずに残り、ゲート電極どおしの電氣的短絡を引き起こし、素子の歩留まりを低下させる。

【0009】米国特許公報第 4,714,520 号には、トレンチ内を絶縁膜で埋める際に上記のようなシームや空孔が発生しないようにするために、絶縁膜を 2 回に分けて行う方法が開示されている。

【0010】この方法は、まず、図 25 (a) に示すように、1 回目の絶縁膜 91 の堆積はトレンチ 92 の深さの 3 乃至 5 割の厚さで行い、その後、図 25 (b) に示すように、1 回目の絶縁膜 91 の厚さが元の 5 乃至 8 割となるまでエッチングし、次に図 25 (c) に示すように 2 回目の絶縁膜を堆積してトレンチを絶縁膜 93 で埋めるものである。

【0011】しかし、上記公報に開示されている方法は、1 回目の絶縁膜堆積後のエッチングを HCl 等のエッチングガスを用いたドライエッチングで行っている。このため、エッチング後に残った 1 回目の絶縁膜は、図 25 (b) に示すようにトレンチ 92 の内壁をほぼ一層の厚さで覆うような形状となり、実質的にトレンチ 92 の間口を小さくしてしまう。従って、この状態で 2 回目

の絶縁膜の堆積を行っても、実際には図 25 (c) に示されるようにはトレンチを完全に埋めることはできない。

【0012】

【発明が解決しようとする課題】 このように従来では、トレンチ内部に絶縁膜を堆積して素子分離を行う際に、継ぎ目や空孔が発生しないように絶縁膜を埋め込むことができないという問題がある。

【0013】 この発明は上記のような事情を考慮してなされたものであり、その目的は、トレンチ内に絶縁膜を埋め込んで素子分離を行う際に、トレンチ内に埋め込まれる絶縁膜に継ぎ目や空孔が発生しないようにすることができ、もって素子の歩留まり向上を図ることができる半導体装置の製造方法を提供することにある。

【0014】 またこの発明の他の目的は、素子分離用のトレンチ内に埋め込まれる絶縁膜に継ぎ目や空孔が発生しないようにすることにより、ゲート電極おししの電気的短絡を引き起こすことがなく、素子の歩留まりの低下を防止することができる半導体記憶装置の製造方法を提供することにある。

【0015】

【課題を解決するための手段】 この発明の半導体装置の製造方法は、半導体基板にトレンチを形成する工程と、上記トレンチ内に絶縁膜を堆積する工程と、ウェットエッチング法により上記絶縁膜をエッチバックする工程と、上記トレンチ内に上記絶縁膜と同一材料からなる絶縁膜を堆積する工程とを具備している。

【0016】 この発明の半導体記憶装置の製造方法は、半導体基板に第 1 のトレンチを形成してトレンチ型キャパシタを形成する工程と、上記半導体基板に上記第 1 のトレンチよりも浅い素子分離用の第 2 のトレンチを形成する工程と、上記第 2 のトレンチ内を含む全面に上記第 2 のトレンチを埋め込まないように絶縁膜を堆積する工程と、ウェットエッチング法により上記絶縁膜をエッチバックする工程と、全面に上記絶縁膜と同一材料からなる絶縁膜を堆積して上記第 2 のトレンチを完全に埋める工程と、上記トレンチ型キャパシタに接続されたトランスファゲートを形成する工程とを具備している。

【0017】

【発明の実施の形態】 以下図面を参照してこの発明を実施の形態により説明する。

【0018】 図 1 ないし図 5 はこの発明に係る半導体装置の製造方法による実施の形態を工程順に示す断面図である。この実施の形態は、STI の形成にこの発明を適用したものであり、まず、図 1 に示すように、単結晶 Si 半導体基板 11 上の全面にパッド酸化膜 (SiO₂) 12 及びパッド窒化膜 (Si₃N₄) 13 を堆積した後、STI 領域の形成位置に開口部を有するようにパターンニングされたフォトリソ膜 14 を形成する。

【0019】 次に、図 2 に示すように、上記フォトリソ

膜 14 をマスクに用いた RIE により、上記基板 11 をその表面から 250 nm 程度エッチングして浅いトレンチ 15 を形成し、続いてエッチングで用いられたフォトリソ膜 14 をアッシングにより除去した後、RIE によるダメージを除去するために、ドライ酸化雰囲気 1000℃ の酸化を行って、10 nm の膜厚の酸化膜 (SiO₂) 16 を形成する。さらにトレンチ内壁を保護するために、LP-CVD より全面に 8 nm 程度の膜厚のライナー窒化膜 (Si₃N₄) 17 を堆積する。なお、このライナー窒化膜 17 は必ずしも形成する必要はない。

【0020】 次に、図 3 に示すように、CVD 法により全面に約 600 nm の膜厚の TEOS 膜 18 を堆積して上記トレンチ 15 を埋める。この TEOS の堆積時に、トレンチ 15 の間口やアスペクト比が小さいと、前記のように TEOS 膜 18 の界面にシーム (継ぎ目) 19 や内部に空孔 20 が形成される。

【0021】 次に、図 4 に示すように、フッ酸溶液によるウェットエッチングにより、上記基板 11 のほぼ平坦面の位置まで上記 TEOS 膜 18 をエッチバックして、上記シーム 19 及び空孔 20 を露出させる。このときのエッチング条件として、トレンチ 15 の底部に比べてトレンチ 15 の上部で TEOS 膜 18 のエッチングレートが大きくなるようにするが、フッ酸溶液によるウェットエッチングを行うことにより、このような条件が満たされる。このエッチバックにより、上記トレンチ 15 内部では、1 回目に堆積した TEOS 膜 18 が底部コーナ部に多く残り、側壁にはテーパ形状が形成される。

【0022】 次に、図 5 に示すように、CVD 法により全面に 2 回目の TEOS 膜 21 を堆積して上記トレンチ 15 を完全に埋める。この 2 回目の TEOS 膜 21 の堆積により、先のようなシームや空孔の形成が起こらない TEOS 膜の埋め込みが実現される。これ以降は通常の平坦化プロセス、ゲート形成工程へと引き継がれる。

【0023】 次に上記図 1 ないし図 5 に示すような STI の形成工程を含む DRAM の製造方法について、図 6 ないし図 23 を参照して説明する。

【0024】 まず、図 6 に示すように、P 型単結晶 Si 半導体基板 31 の表面を熱酸化し、バッファ酸化膜 32 を形成する。次に、バッファ酸化膜 32 を介して、基板 31 の表面から基板 31 の深い位置に向かって N 型不純物イオンをイオン注入し、N 型ウエル (以下、埋め込みウエルと称する) 33 を形成する。この埋め込みウエル 33 は、図示しない箇所に形成される引き出し用ウエルを介して基板 31 の表面に引き出される。次に、バッファ酸化膜 32 の上にシリコン窒化膜 34 を形成する。次に、このシリコン窒化膜 34 上にシリコン酸化膜 35 を堆積し、続いてシリコン酸化膜 35 上にフォトリソ膜 36 を形成する。次に、フォトリソ膜 36 に対して選択露光を行い、続いて現像処理を施して、セルキャ

パシタを形成する位置に対応した箇所のフォトレジスト膜36に窓を形成する。次に、フォトレジスト膜36をマスクに用いて、バッファ酸化膜32、シリコン窒化膜34及びシリコン酸化膜35からなる積層膜37を選択的にエッチングし、セルキャパシタ用の深いトレンチを形成するための窓38を形成する。

【0025】次に、図7に示すように、フォトレジスト膜36を除去した後、上記積層膜37をマスクに用いて基板31をR I Eにより選択的にエッチングし、深いトレンチ（以下、ディープトレンチと称する）39を形成する。

【0026】次に、図8に示すように、ディープトレンチ39の側壁にキャパシタ用の誘電体膜40を形成する。この誘電体膜40として、例えばシリコン窒化膜と酸化膜の2層膜からなるいわゆるON膜が使用される。次に全面にN型不純物がドーパされたポリシリコンを堆積した後にこのポリシリコンをエッチバックして、ディープトレンチ39の深い部分、すなわち、埋め込みウエル33の付近にポリシリコン膜41を残す。

【0027】次に、図9に示すように、ディープトレンチ39の上部の側壁に露出している誘電体膜40をウエットエッチングにより除去し、続いてシリコン酸化膜を堆積し、このシリコン酸化膜をR I Eによりエッチングしてディープトレンチ39の上部側壁にカラーオキサイドと称されるシリコン酸化膜42を形成する。

【0028】なお、上記積層膜37は、ここまでの工程で少しずつエッチングされ、その厚みが減少する。例えば、図9では最上層部のシリコン酸化膜35がなくなり、シリコン窒化膜34が露出した状態を示している。

【0029】次に、図10に示すように、N型不純物がドーパされたポリシリコンを全面に堆積し、これをエッチバックして、ポリシリコン膜43をディープトレンチ39の中程の部分に形成する。

【0030】次に、図11に示すように、ディープトレンチ39の上部の側壁に露出しているシリコン酸化膜（カラーオキサイド）42を除去する。これにより、ディープトレンチ39の間口付近の側壁に基板31の露出面44が形成される。

【0031】次に、図12に示すように、N型不純物を含むポリシリコンを堆積を全面に堆積し、この堆積されたポリシリコンをエッチバックして、ディープトレンチ39の間口付近の内部にポリシリコン膜45を形成する。続いてポリシリコン膜45の露出面を熱酸化し、シリコン酸化膜46を形成した後、ポリシリコン膜45から露出面44を介して基板31にN型不純物を拡散させて、基板31の表面付近にN型拡散領域（埋め込みストラップ、以下ペリドストラップと称する）47を形成する。

【0032】次に、図13に示すように、上記ディープトレンチ39の上部の一部を含む領域（素子分離領域に

対応）が露出するような開口を持つ形状のフォトレジスト膜48を形成する。

【0033】次に、図14に示すように、上記フォトレジスト膜48をマスクに用いて、前記積層膜37、シリコン酸化膜46、ポリシリコン膜45、ポリシリコン膜43、カラーオキサイド42及び基板31をR I Eにより選択的にエッチングしてシャロートレンチ49を形成する。このシャロートレンチ49の深さは、底部がペリドストラップ47の最深部と、埋め込みウエル33の最浅部との間の基板31に止どまる程度であり、例えば前記図2で説明したように基板31の表面から250nm程度である。続いて、上記フォトレジスト膜48を全面除去する。

【0034】次に、図15に示すように、上記フォトレジスト膜48をアッシングにより除去した後、R I Eによるダメージを除去するために、ドライ酸化雰囲気中で1000℃の酸化を行って、10nmの膜厚のシリコン酸化膜（S T I酸化膜）50を形成する。さらにトレンチ内壁を保護するために、L P-CVDより全面に8nm程度の膜厚のシリコン窒化膜（ライナー窒化膜）51を形成する。

【0035】次に、図16に示すように、CVD法により全面に1回目のT E O Sを約600nmの膜厚で堆積した後に、フッ酸溶液によるウエットエッチングにより基板31のほぼ平坦面の位置まで上記T E O Sをエッチバックする。この際、前記図4で説明したように、フッ酸溶液によるウエットエッチングにより、シャロートレンチ49の内部では、1回目に堆積したT E O Sが底部コーナー部に多く残り、側壁にはテーパー形状が形成される。続いてCVD法により全面に2回目のT E O Sを堆積して、T E O S膜52を形成する。

【0036】次に、図17に示すように、CMPにより上記T E O S膜52を表面から順次除去する。このとき、前記積層膜37の上層のシリコン窒化膜34がエッチングのストッパーとなり、シャロートレンチ49の内部にのみT E O S膜52が残る。

【0037】次に、図18に示すように、積層膜37を除去し、基板31の表面を露出させる。このときに露出する基板31の表面は、素子活性領域に対応した領域である。

【0038】次に、図19に示すように、露出した基板31の表面を熱酸化してゲート酸化膜53を形成する。このゲート酸化膜形成の前に、メモリのトランサゲート、あるいは周辺回路を構成するトランジスタのしきい値電圧を設計値通りに調整するために、P型あるいはN型の不純物イオンを基板31に注入するようにしてもよい。

【0039】次に、図20に示すように、全面にN型不純物を含むポリシリコン膜54、タングステンシリサイド膜55及びシリコン窒化膜56を形成し、その上に図

示しないフォトレジスト膜を堆積し、パターニングした後、このパターニングされたフォトレジスト膜をマスクに用いたＲＩＥにより、上記シリコン窒化膜５６、タングステンシリサイド膜５５及びポリシリコン膜５４を選択的にエッチングしてワード線（ＷＬ）パターン５７を形成する。続いて、フォトレジスト膜を除去した後、ワード線パターン５７をマスクに用いて、Ｎ型不純物を基板３１にイオン注入し、Ｎ型のソース／ドレイン領域５８を形成する。このソース／ドレイン領域５８は前記バリードストラップ４７と電氣的に接続される。

【００４０】次に、図２１に示すように、上記ワード線パターン５７の側壁を熱酸化して側壁絶縁膜５９を形成し、続いて全面にシリコン窒化膜６０を形成する。

【００４１】次に、図２２に示すように、全面にＢＰＳＧ等の絶縁膜を堆積して第１層目の層間絶縁膜６１を形成する。続いて、この層間絶縁膜６１上に図示しないフォトレジスト膜を堆積し、このフォトレジスト膜に対して露光、現像を行って、コンタクトホールに対応した位置に窓が形成されるようにパターニングする。続いて、このフォトレジスト膜をマスクに用いたＲＩＥにより、上記層間絶縁膜６１を選択的にエッチングして、層間絶縁膜６１にコンタクトホール６２を形成する。続いて、

Ｎ型不純物がドーブされたポリシリコンを全面に形成し、このポリシリコンをＣＭＰにより表面から順次除去し、コンタクトホール６２の内部に残してソース／ドレイン領域５８に電氣的に接続されたポリシリコン膜（コンタクトプラグ）６３を形成する。

【００４２】次に、図２３に示すように、上記第１層目の層間絶縁膜６１の上に、ＢＰＳＧ等の絶縁膜を堆積して第２層目の層間絶縁膜６４を形成する。続いて、上記第２層目の層間絶縁膜６４上に、ビット線に対応した溝を持つようにパターニングされた図示しないフォトレジスト膜を形成し、このフォトレジスト膜をマスクに用いたＲＩＥにより、上記層間絶縁膜６４を選択的にエッチングして、層間絶縁膜６４に配線埋め込み用の溝６５を形成する。続いて、タングステン等の金属を全面に堆積し、この金属をＣＭＰにより表面から順次除去し、上記溝６５の内部に残して金属配線６６を形成する。この金属配線６６はビット線（ＢＬ）として使用される。

【００４３】上記のようなＤＲＡＭの製造方法では、ＳＴＩの形成に当たり、１回目のＴＥＯＳを堆積した後に、フッ酸溶液によるウェットエッチングによりエッチバックすることにより、１回目のＴＥＯＳの堆積時で生じたシームや空孔を除去し、２回目のＴＥＯＳを堆積するようにしているので、従来のようなシームや空孔の形成が起らないＴＥＯＳ膜の埋め込みが実現される。この結果、表面の平坦性が確保されると共に、ワード線形成の際に堆積されるポリシリコンがＳＴＩ領域上に残ることがなくなり、ゲート電極（ワード線）どおしの電氣的ショートが発生を防止することができる。

【００４４】なお、この発明は上記した実施の形態に限定されるものではなく種々の変形が可能であることはいうまでもない。例えば、上記実施の形態ではシャロートレンチ４９の内壁にシリコン酸化膜（ＳＴＩ酸化膜）５０を形成した後に、さらにトレンチ内壁を保護するために全面にシリコン窒化膜（ライナー窒化膜）５１を形成する場合を説明したが、このシリコン窒化膜５１は、この後の製造工程によっては必ずしも形成する必要はない。

【００４５】

【発明の効果】以上説明したようにこの発明によれば、トレンチ内に絶縁膜を埋め込んで素子分離を行う際に、トレンチ内に埋め込まれる絶縁膜に継ぎ目や空孔が発生しないようにすることができ、もって素子の歩留まり向上を図ることができる半導体装置の製造方法を提供することができる。

【００４６】さらにこの発明によれば、素子分離用のトレンチ内に埋め込まれる絶縁膜に継ぎ目や空孔が発生しないようにすることにより、ゲート電極どおしの電氣的短絡を引き起こすことがなく、素子の歩留まりの低下を防止することができる半導体記憶装置の製造方法を提供することができる。

【図面の簡単な説明】

【図１】この発明に係る半導体装置の製造方法による実施の形態の最初の工程を示す断面図。

【図２】図１に続く工程を示す断面図。

【図３】図２に続く工程を示す断面図。

【図４】図３に続く工程を示す断面図。

【図５】図４に続く工程を示す断面図。

【図６】図１ないし図５に示すようなＳＴＩの形成工程を含むＤＲＡＭの製造工程の最初の工程を示す斜視図。

【図７】図６に続く工程を示す斜視図。

【図８】図７に続く工程を示す斜視図。

【図９】図８に続く工程を示す斜視図。

【図１０】図９に続く工程を示す斜視図。

【図１１】図１０に続く工程を示す斜視図。

【図１２】図１１に続く工程を示す斜視図。

【図１３】図１２に続く工程を示す斜視図。

【図１４】図１３に続く工程を示す斜視図。

【図１５】図１４に続く工程を示す斜視図。

【図１６】図１５に続く工程を示す斜視図。

【図１７】図１６に続く工程を示す斜視図。

【図１８】図１７に続く工程を示す斜視図。

【図１９】図１８に続く工程を示す斜視図。

【図２０】図１９に続く工程を示す斜視図。

【図２１】図２０に続く工程を示す斜視図。

【図２２】図２１に続く工程を示す斜視図。

【図２３】図２２に続く工程を示す斜視図。

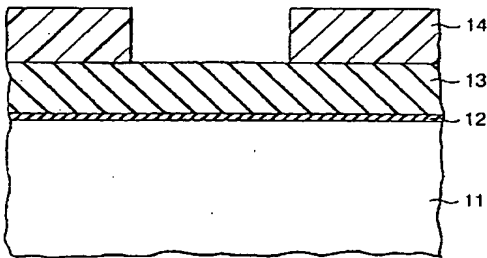
【図２４】従来方法によってシャロートレンチ内部を絶縁膜で埋め込んだ後の状態を示す断面図。

【図25】トレンチ内を絶縁膜で埋める上記とは異なる従来の方法を工程順に示す断面図。

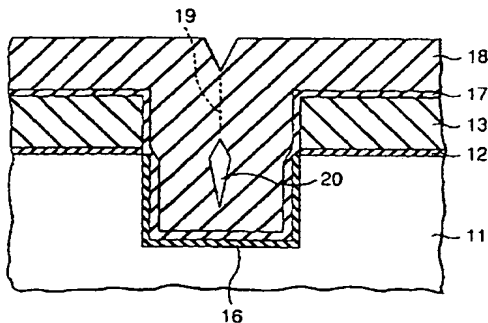
【符号の説明】

- 11…単結晶Si半導体基板、
- 12…パッド酸化膜(SiO₂)、
- 13…パッド窒化膜(Si₃N₄)、
- 14…フォトリソ膜、
- 15…浅いトレンチ、
- 16…STI酸化膜(SiO₂)、
- 17…ライナー窒化膜(Si₃N₄)、
- 18…1回目のTEOS膜、
- 19…シーム(継ぎ目)、
- 20…空孔、
- 21…2回目のTEOS膜、
- 31…P型単結晶Si半導体基板、
- 32…バッファ酸化膜、
- 33…N型ウェル(埋め込みウェル)、
- 34…シリコン窒化膜、
- 35…シリコン酸化膜、
- 36…フォトリソ膜、
- 37…積層膜、
- 38…フォトリソ膜の窓、
- 39…ディープトレンチ、
- 40…誘電体膜、
- 41…ポリシリコン膜、
- 42…シリコン酸化膜(カラーオキシド)、

【図1】

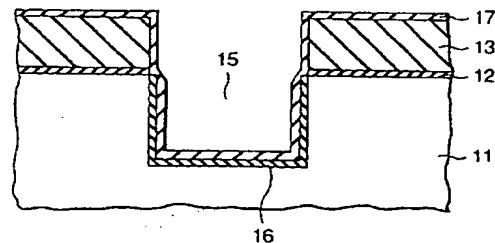


【図3】

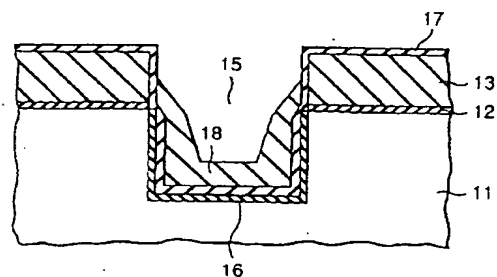


- 43…ポリシリコン膜、
- 44…基板の露出面、
- 45…ポリシリコン膜、
- 46…シリコン酸化膜、
- 47…N型拡散領域(埋め込みストラップ、ベリードストラップ)、
- 48…フォトリソ膜、
- 49…シャロートレンチ、
- 50…シリコン酸化膜(STI酸化膜)、
- 51…シリコン窒化膜(ライナー窒化膜)、
- 52…TEOS膜、
- 53…ゲート酸化膜、
- 54…ポリシリコン膜、
- 55…タングステンシリサイド膜、
- 56…シリコン窒化膜、
- 57…ワード線(WL)パターン、
- 58…ソース/ドレイン領域、
- 59…側壁絶縁膜、
- 60…シリコン窒化膜、
- 61…第1層目の層間絶縁膜、
- 62…コンタクトホール、
- 63…ポリシリコン膜(コンタクトプラグ)、
- 64…第2層目の層間絶縁膜、
- 65…配線埋め込み用の溝、
- 66…金属配線。

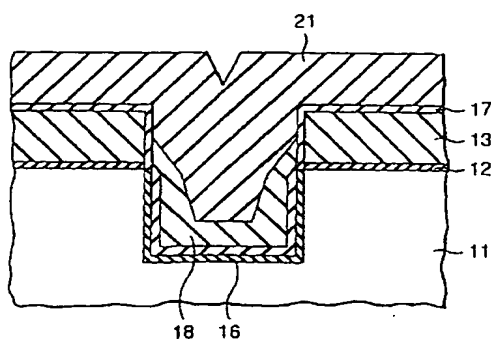
【図2】



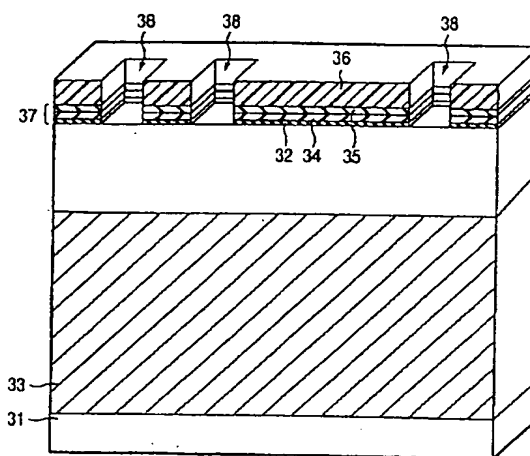
【図4】



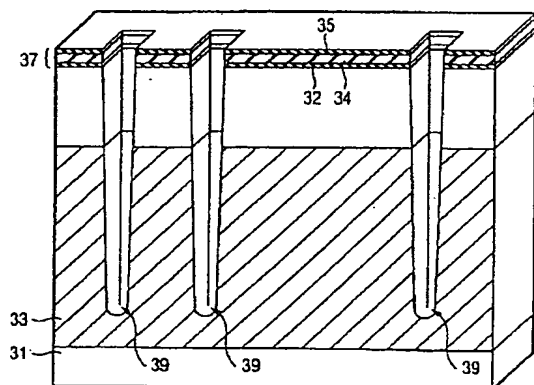
【図 5】



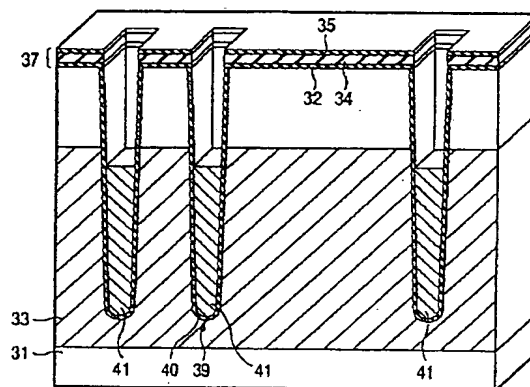
【図 6】



【図 7】

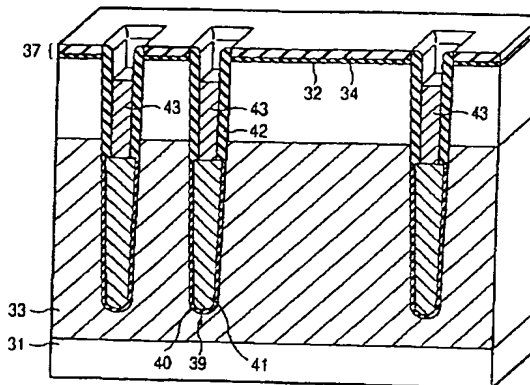
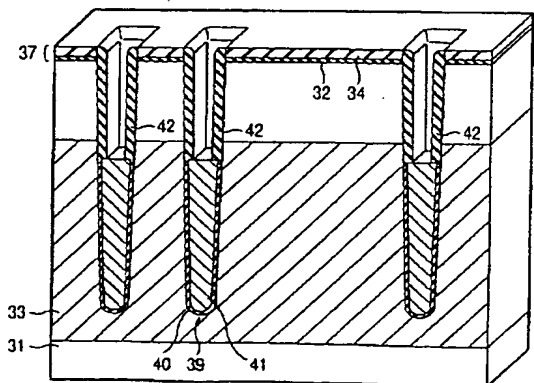


【図 8】

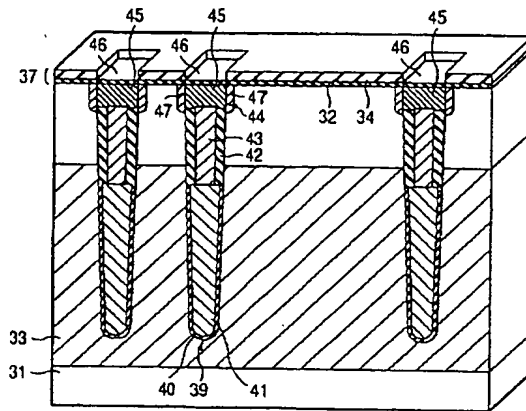


【図 10】

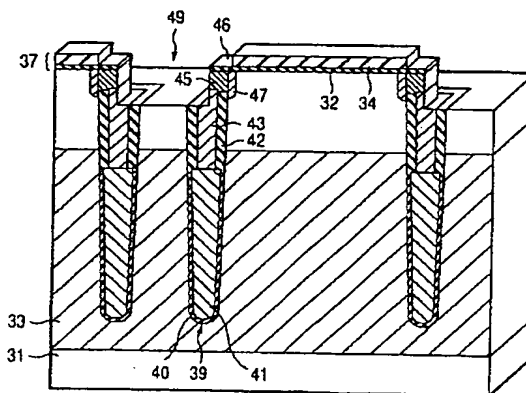
【図 9】



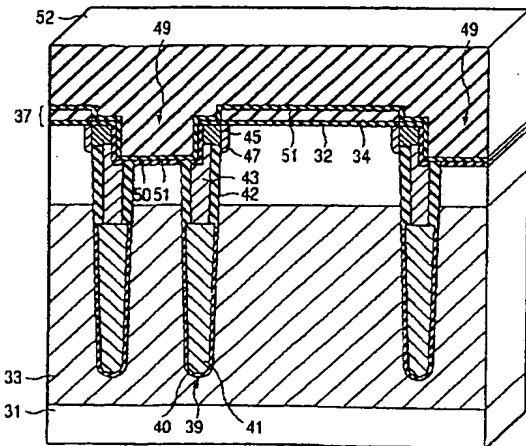
【图 12】



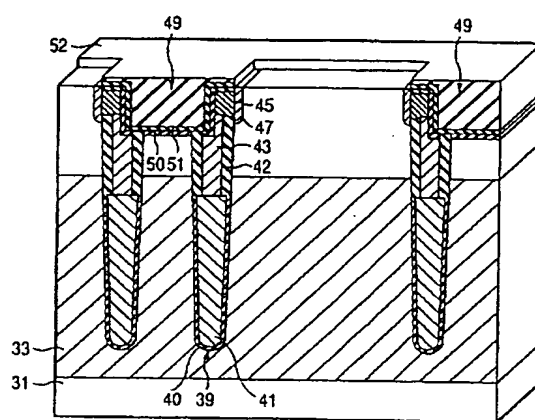
【图 14】



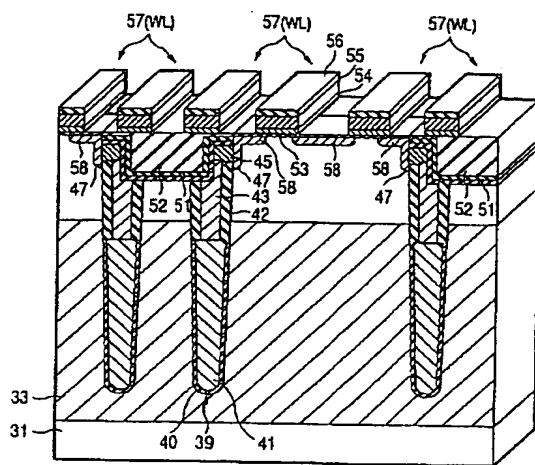
【図 16】



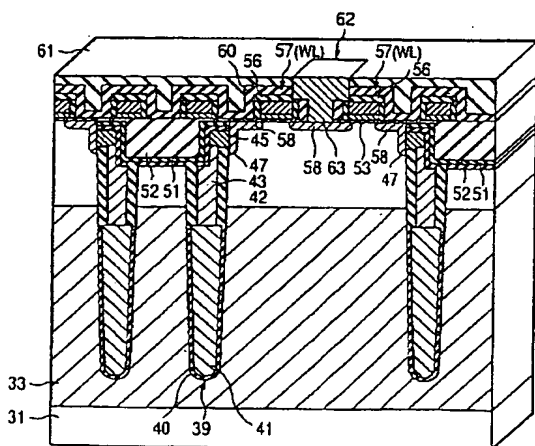
【图 18】



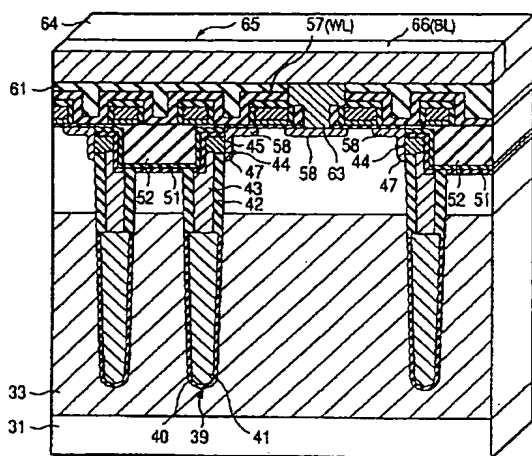
【図 20】



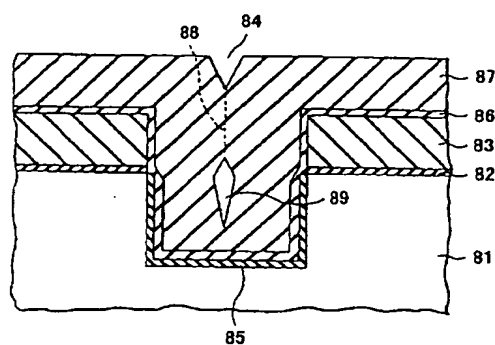
【图 22】



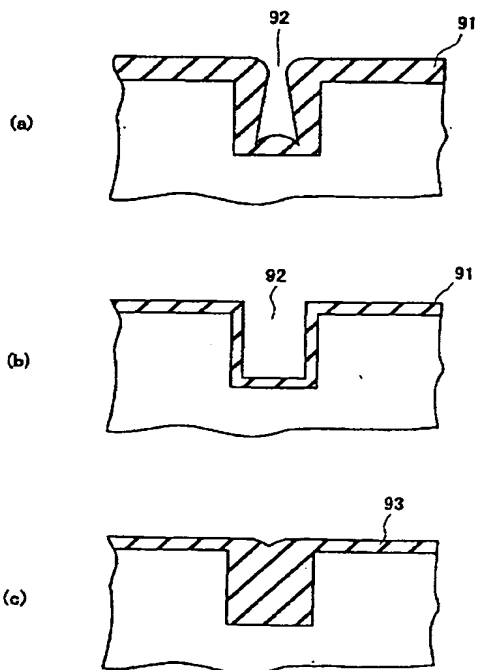
【図 23】



【図 24】



【図 25】



フロントページの続き

(72)発明者 赤津 浩之
アメリカ合衆国、 ニューヨーク州
10547、 モヒガン・レーク、 ニュー・
チャーレット・ドライブ 160

(72)発明者 瀧原 壮一
神奈川県横浜市磯子区新杉田町 8 番地 株
式会社東芝横浜事業所内
(72)発明者 中尾 隆
東京都港区芝浦一丁目 1 番 1 号 株式会
社東芝本社事務所内

(72)発明者 吉田 聖子

神奈川県横浜市磯子区新杉田町 8 番地 株
式会社東芝横浜事業所内